



(19)

(11) Publication number:

05102074 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 03289131

(51) Int. Cl.: H01L 21/28 H01L 29/784

(22) Application date: 07.10.91

(30) Priority:

(43) Date of application  
publication: 23.04.93(84) Designated  
contracting states:

(71) Applicant: SONY CORP

(72) Inventor: SUMI HIROBUMI

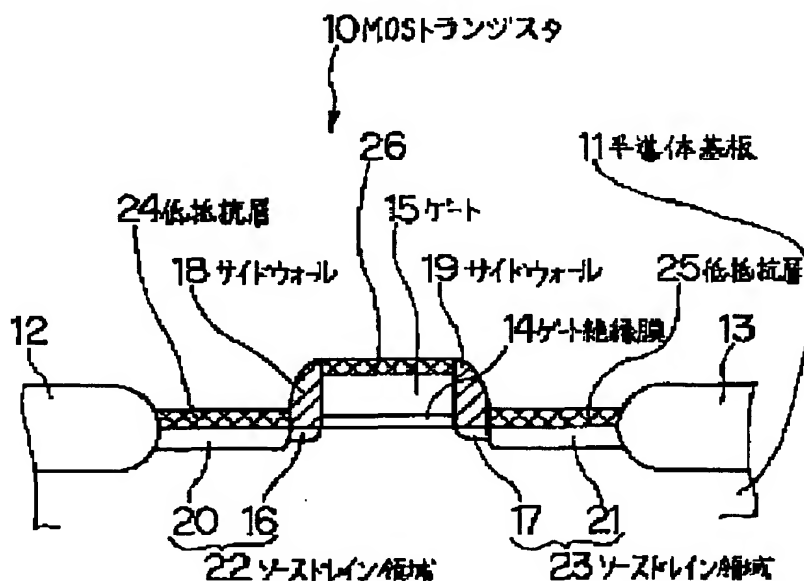
(74) Representative:

(54) MOS TRANSISTOR

(57) Abstract:

**PURPOSE:** To reduce a leakage current to be generated through a sidewall between a gate and source-drain regions and to improve electric characteristics of a device by forming the sidewall which is not reacted with a Ti layer in a silicifying reaction.

**CONSTITUTION:** Sidewalls 18, 19 are formed, for example, of silicon nitride as nitride of semiconductor on the sidewall of a gate 15, and low resistance layers 24, 25, 26 made of silicide are formed on the upper surfaces of source-drain regions 22, 23 and the upper surface of the gate 15. Or, a stress alleviating layer (not shown) made, for example, of silicon oxide is provided between the sidewalls 18, 19 and the sidewall of the gate 15 and between the sidewalls 18, 19 and the regions 22, 23 in a MOS transistor of this structure.



COPYRIGHT: (C)1993,JPO&amp;Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-102074

(43)公開日 平成5年(1993)4月23日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	3 0 1 T	7738-4M		
29/784		8225-4M	H 0 1 L 29/ 78	3 0 1 X

審査請求 未請求 請求項の数 2(全 6 頁)

(21)出願番号 特願平3-289131

(22)出願日 平成3年(1991)10月7日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 角 博文

東京都品川区北品川6丁目7番35号 ソニー株式会社内

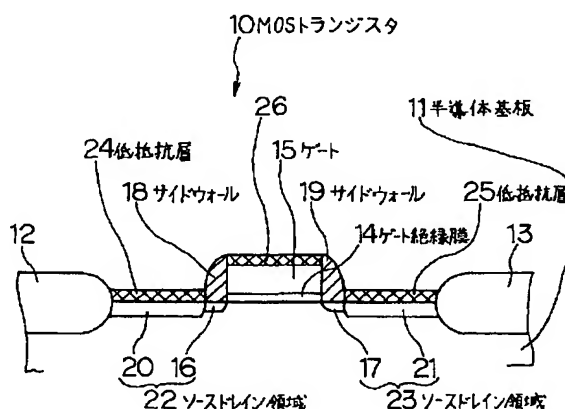
(74)代理人 弁理士 船橋 国則

(54)【発明の名称】 MOSトランジスタ

(57)【要約】

【目的】 本発明は、シリサイド化反応において、Ti膜と反応しないサイドウォールを形成することで、サイドウォールを介して発生するゲートとソース・ドレイン領域間のリーク電流を低減し、デバイスの電気的特性の向上を図る。

【構成】 ゲート15の側壁に、半導体の窒化物として例えば窒化シリコンでサイドウォール18、19を形成し、かつソース・ドレイン領域22、23の上面とゲート15の上面とにシリサイドよりなる低抵抗層24、25、26を形成したものである。あるいは、上記構成のMOSトランジスタ10において、サイドウォール18、19とゲート15の側壁との間およびサイドウォール18、19とソースドレイン領域22、23との間に、例えば酸化シリコンよりなるストレス緩和層(図示せず)を設けたものである。



第1の実施例の概略構成断面図

## 【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜を介して設けたゲートと、

前記ゲートの側壁に設けたサイドウォールと、

前記ゲートの両側の前記半導体基板の上層に形成したソース・ドレイン領域と、

前記ソース・ドレイン領域の上面に形成した低抵抗層とよりなるMOSトランジスタにおいて、

前記サイドウォールを半導体の窒化物で形成したことを特徴とするMOSトランジスタ。

【請求項2】 前記請求項1記載のMOSトランジスタにおいて、

前記サイドウォールと前記ゲートの側壁との間および前記サイドウォールと前記ソースドレイン領域との間にストレス緩和層を設けたことを特徴とするMOSトランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、ゲートの側壁にサイドウォールを設け、かつソース・ドレイン領域上にシリサイドよりなる低抵抗層を形成したMOSトランジスタに関する。

## 【0002】

【従来の技術】デバイスの設計ルールが $0.5\mu\text{m}$ 以下になると、トランジスタのソース・ドレイン領域の接合を浅く形成する必要が生じてくる。接合の深さを浅く形成すると、ソース・ドレイン領域のシート抵抗が大きくなる。このため、ソース・ドレイン領域を配線として用いるデバイス【例えばASIC (Application Specific Integrated Circuit)】では、配線として用いるソース・ドレイン領域を低抵抗化する必要が生じる。

【0003】そこで、ソース・ドレイン領域に、選択的にシリサイドを形成してシート抵抗を下げる、いわゆるSALICIDE (Self-Aligned-Silicide) プロセスが提案されている。SALICIDEプロセスでは、通常、抵抗率が低いチタンシリサイド ( $\text{TiSi}_2$ ) を、上記シリサイドに用いている。

【0004】次に、ソース・ドレイン領域上に $\text{TiSi}_2$ よりなる低抵抗層を形成したMOSトランジスタの製造方法を、図6の製造工程図により説明する。図では、一例としてLDD構造をなすMOSトランジスタ50の製造工程を示す。図6の(1)に示すように、単結晶シリコンよりなる半導体基板51上に素子分離領域52とゲート53とを形成する。次いでゲート53の両側の半導体基板51の上層に低濃度拡散層54を形成する。その後ゲート53側の全面にシリコン酸化膜55を堆積する。次いで図6の(2)に示す如く、酸化シリコン膜55の前面にわたってエッチバックにより2点鎖線で示す部分を除去して、ゲート53の側壁に酸化シリコン膜55でサイドウォール56を形成する。

【0005】続いて図6の(3)に示すように、ゲート53側の全面に $\text{Ti}$ 膜57を形成する。その後図6の(4)に示す如く、不活性ガス中で $600^\circ\text{C}$ の短時間アニール処理を行って、 $\text{Ti}$ 膜57の $\text{Ti}$ と半導体基板51の $\text{Si}$ とをシリサイド反応させ、 $\text{TiSi}_2$ 膜58(網目で示す部分)を形成する。続いて、2点鎖線で示す未反応 $\text{Ti}$ と反応生成物の $\text{TiO}_x$ とをアンモニア過水によって選択エッチングする。その後、不活性ガス中で $800^\circ\text{C}$ の短時間アニール処理を行って、 $\text{TiSi}_2$ 膜58を化学量論的に安定させる。次いでゲート53とサイドウォール56とをイオン注入マスクにし、イオン注入法によって、半導体基板51の上層に不純物を導入して高濃度拡散層59を形成する。この高濃度拡散層59は低濃度拡散層54よりも深く形成される。そして上記低濃度拡散層54と高濃度拡散層59とによってソース・ドレイン領域60が形成される。上記の如くして、MOSトランジスタ50が構成される。

## 【0006】

【発明が解決しようとする課題】しかしながら、上記方法では、図7の(1)に示す如く、熱処理中は、サイドウォール56の厚い部分では $\text{Ti}$ 膜57中に酸化シリコン ( $\text{SiO}_2$ ) 中の酸素 ( $\text{O}$ ) が多く拡散し、サイドウォール56が薄い部分では $\text{Ti}$ 膜57中に酸素 ( $\text{O}$ ) とシリコン ( $\text{Si}$ ) とが拡散する。そして $\text{Ti}$ と $\text{O}$ とが反応して $\text{TiO}_x$ を生成するとともに $\text{Ti}$ と $\text{SiO}_2$ の $\text{Si}$ とが反応して $\text{TiSi}_2$ を生成する。このため図7の(2)に示す如く、熱処理が終了したときには、 $\text{TiSi}_2$ 膜58がサイドウォール56上に形成されるために、ゲート53とソース・ドレイン領域60間に非常に大きなリーク電流が発生する。この結果、デバイスの電気的特性を大幅に悪化する。

【0007】本発明は、リーク電流が小さくデバイスの電気的特性に優れたMOSトランジスタを提供することを目的とする。

## 【0008】

【課題を解決するための手段】本発明は、上記目的を達成するためになされたMOSトランジスタである。すなわち、ゲートの側壁に半導体の窒化物よりなるサイドウォールを形成し、かつソース・ドレイン領域の上面に、例えばシリサイドよりなる低抵抗層を形成したものである。あるいは、サイドウォールを半導体の窒化物で形成したMOSトランジスタであって、サイドウォールとゲートの側壁との間およびサイドウォールとソースドレイン領域との間にストレス緩和層を設けたものである。

## 【0009】

【作用】上記構造のMOSトランジスタでは、サイドウォールを半導体の窒化物で形成したことにより、サイドウォール上の $\text{Ti}$ 膜とサイドウォールとが反応しない。このため、サイドウォールの表面には $\text{TiSi}_2$ 等の導電性物質が形成されないで、ゲートとソース・ドレ

ン領域間にリーク電流が発生しない。またサイドウォールとゲートの側壁との間およびサイドウォールとソース・ドレイン領域との間にストレス緩和層を設けたので、半導体の窒化物よりなるサイドウォールより発生するストレスの影響がストレス緩和層によって緩和される。このため、半導体基板には結晶欠陥等の損傷が生じない。

【0010】

【実施例】本発明の第1の実施例を図1に示す概略断面図によりMOSトランジスタ10の構造を説明する。図に示すように、半導体基板11上には素子分離領域12、13が形成されている。また素子分離領域12、13間の半導体基板11上には、ゲート絶縁膜14を介してゲート15が形成されている。ゲート15の両側の半導体基板11の上層には低濃度拡散層16、17が形成されている。またゲート15の側壁には半導体の窒化物として例えば窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)よりなるサイドウォール18、19が形成されている。

【0011】前記ゲート15の両側の半導体基板11の上層には、ゲート15側に低濃度拡散層16、17を介して、当該低濃度拡散層16、17よりも深い状態に高濃度拡散層20、21が形成されている。上記の如くして、低濃度拡散層16、17と高濃度拡散層20、21とによりLDD構造のソース・ドレイン領域22、23が形成される。さらにソース・ドレイン領域22、23の上面にはチタンシリサイド(TiSi<sub>2</sub>)よりなる低抵抗層24、25が形成されている。またゲート15の上面にもTiSi<sub>2</sub>よりなる低抵抗層26が形成されている。上記低抵抗層24ないし26を形成したことにより、ゲート15、ソース・ドレイン領域22、23を配線として用いることが可能になる。

【0012】次に上記構成のMOSトランジスタ10の製造工程を図2および図3により説明する。図2の

(1)に示すように、通常の素子分離領域の形成方法として、例えばLOCOS法によって、単結晶シリコン製の半導体基板11上に素子分離領域12、13を形成する。その後、通常のプロセスによって、シリコン酸化膜でゲート絶縁膜14を形成し、さらに多結晶シリコン膜でゲート15を形成する。

【0013】次いで図2の(2)に示す如く、ゲート15をイオン注入マスクにして、不純物を半導体基板11の上層にイオン注入する。このイオン注入において、NMOSトランジスタを形成する場合には、打ち込みエネルギーを40eV、ドーズ量を $1 \times 10^{14} / \text{cm}^2$ に設定してヒ素(As)をイオン注入する。PMOSトランジスタを形成する場合には、打ち込みエネルギーを30eV、ドーズ量を $5 \times 10^{13} / \text{cm}^2$ に設定して二フ化ホウ素(BF<sub>3</sub>)をイオン注入する。このようにしてゲート15の両側の半導体基板11の上層に低濃度拡散層16、17を形成する。

【0014】次いで図2の(3)に示すように、例えば

低圧の化学的気相成長法によって、ゲート15側の全面に窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)膜27を、例えば400nmの厚さに成膜する。この成膜プロセスでは、例えば、反応ガスに、ジクロロシラン(SiH<sub>2</sub>Cl<sub>2</sub>)を50sccm、アンモニア(NH<sub>3</sub>)を200sccm、窒素(N<sub>2</sub>)を200sccmの流量で混合したガスを用い、反応ガス雰囲気圧力を70Pa、その温度を760℃に設定する。その後、窒化シリコン膜27の全面をエッチバックして、2点鎖線で示す部分を除去し、ゲート15の側壁に窒化シリコン膜27を残してサイドウォール18、19を形成する。上記エッチバックは、例えば、反応ガスにCHF<sub>3</sub>を用いた反応性イオンエッチングにより行う。このエッチングでは、反応ガスの流量を50sccm、エッチング雰囲気圧力を2Paに設定し、エッチング装置のRFパワーを300Wに設定する。

【0015】続いて図3の(4)に示す如く、スパッタリング法によって、ゲート15側の全面に、チタン(Ti)膜28を30nmの厚さに成膜する。上記Ti膜28を成膜するには、例えば、基板RFバイアスパワーを-50W、DCスパッタパワーを1kW、スパッタガスのアルゴン(Ar)の流量を40sccm、スパッタ雰囲気圧力を0.4Pa、基板温度を200℃に設定する。

【0016】次いで図3の(5)に示すように、短時間アニール処理を行う。この短時間アニール処理は、例えば2段階に行う。まず600℃の窒素(N<sub>2</sub>)雰囲気中で30秒間の第1アニール処理を行って、Ti膜28

〔図3の(4)参照〕のTiと低濃度拡散層16、17のシリコン(Si)とを反応させて、チタンシリサイド(TiSi<sub>2</sub>)膜29、30(網目で示す部分)を形成するとともにTi膜28〔図3の(4)参照〕のTiとゲート15のSiとを反応させて、TiSi<sub>2</sub>膜31(網目で示す部分)を形成する。上記アニール処理では、サイドウォール18、19は窒化Si膜で形成されているので、サイドウォール18、19とTi膜28〔図3の(4)参照〕とはシリサイド反応を起こさない。続いて水(H<sub>2</sub>O):過酸化水素水(H<sub>2</sub>O<sub>2</sub>):アンモニア(NH<sub>3</sub>・OH)=2:2:1の混合比のエッチング溶液に10分間浸漬して、2点鎖線で示す部分の未反応Tiと酸化チタン(TiO<sub>x</sub>)とをエッチングして除去する。その後洗浄して乾燥させる。

【0017】次いで図3の(6)に示す如く、900℃の窒素(N<sub>2</sub>)雰囲気中で30秒間の第2アニール処理を行って、Tiシリサイド膜(29)、(30)、(31)を安定したTiSi<sub>2</sub>膜に改質して、低抵抗層24、25、26を形成する。次いでゲート15とサイドウォール18、19とをイオン注入マスクしたイオン注入法によって、ゲート15の両側の半導体基板11の上層に高濃度拡散層20、21を形成する。この高濃度拡

10

20

30

40

50

散層20, 21は、ゲート15側に低濃度拡散層16, 17を残して、当該低濃度拡散層16, 17よりも深い状態に形成される。上記イオン注入条件の一例を説明する。NMOSTランジスタを形成する場合には、打ち込みエネルギーを50 eV, ドーズ量を $3 \times 10^{15}/\text{cm}^2$ に設定してヒ素(As)をイオン注入する。PMOSTランジスタを形成する場合には、打ち込みエネルギーを30 eV, ドーズ量を $1 \times 10^{15}/\text{cm}^2$ に設定して二フッ化ホウ素(BF<sub>3</sub>)をイオン注入する。

【0018】次いで、ゲート15側の全面に、例えば化学的気相成長法によって、通常の層間膜(図示せず)を500 nmの厚さに形成する。その後、例えば1100 °Cの窒素(N<sub>2</sub>)雰囲気中で10秒間のアニール処理を行って、SiとTiSi<sub>2</sub>との活性化を行うとともに不純物の拡散を行い、LDD構造のソース・ドレイン領域22, 23を形成する。上記の如くして、MOSTランジスタ10が完成する。

【0019】上記MOSTランジスタ10ではサイドウォール18, 19を半導体の窒化物で形成したので、サイドウォール18, 19と半導体基板11との間にストレスが発生して、半導体基板11を損傷する恐れがある。そこで、ストレス緩和層を設けた例を、第2の実施例として、図4の概略断面図により説明する。図に示すように、MOSTランジスタ40は、第1に実施例で説明したMOSTランジスタ10において、サイドウォール18, 19とゲート15の側壁との間およびサイドウォール18, 19とソースドレイン領域22, 23との間に、例えばSi酸化物よりなるストレス緩和層41, 42を設けたものである。

【0020】上記の如くに、酸化シリコン膜43よりなるストレス緩和層41, 42を形成したので、窒化シリコン膜よりなるサイドウォール18, 19に発生するストレスは、ストレス緩和層41, 42によって緩和される。このため、サイドウォール18, 19のストレスの影響を半導体基板11が受けないので、半導体基板11には結晶欠陥等の損傷が発生しない。

【0021】次に上記MOSTランジスタ40の製造工程を図5により説明する。前記図2の(2)を終了したのち、図5の(1)に示す如く、例えば低圧の化学的気相成長法によって、ゲート15側の全面に酸化シリコン(SiO<sub>2</sub>)膜43を、例えば30 nmの厚さに成膜する。この成膜プロセスでは、例えば、反応ガスにモノシラン(SiH<sub>4</sub>)を250 sccm, 酸素(O<sub>2</sub>)を250 sccm, 窒素(N<sub>2</sub>)を100 sccmの流量で混合したガスを用い、成膜雰囲気温度を420 °Cに設定する。

【0022】続いて例えば低圧の化学的気相成長法によって、酸化シリコン膜43上に窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)膜27を、例えば400 nmの厚さに成膜する。このときの成膜プロセスでは、例えば、反応ガスにジクロ

ロシラン(SiH<sub>2</sub>Cl<sub>2</sub>)を50 sccm, アンモニア(NH<sub>3</sub>)を200 sccm, 窒素(N<sub>2</sub>)を200 sccmの流量で混合したガスを用い、成膜雰囲気圧力を70 Pa, 温度を760 °Cに設定する。

【0023】その後図5の(2)に示すように、異方性ドライエッチングによって、窒化シリコン膜27を全面エッチバックして2点鎖線で示す部分を除去し、ゲート15の側壁に窒化シリコン膜27を残すことによりサイドウォール18, 19を形成する。上記エッチバックは、例えば、反応ガスにC<sub>4</sub>F<sub>8</sub>を用いたマグネトロン反応性イオンエッチングにより行う。このエッチングプロセスでは、例えば、反応ガスの流量を50 sccm, エッチング雰囲気圧力を2 Paに設定し、エッチング装置のRFパワーを1200 Wに設定する。

【0024】さらにエッチング条件を変更して、酸化シリコン膜43をエッチバックして1点鎖線で示す部分を除去し、ストレス緩和層41, 42を形成する。このエッチングプロセスでは、反応ガスにCHF<sub>3</sub>を用い、その流量を50 sccmに設定する。またRFパワーを300 W, エッチング雰囲気圧力を2 Paに設定する。その後前記図3の(4)以降の工程を行う。

【0025】また上記第1, 第2の実施例において、サイドウォール18, 19をSi<sub>3</sub>N<sub>4</sub>で形成したが、他の半導体の窒化物として、例えば窒化酸化シリコン(SiON)等で形成することも可能である。

【0026】

【発明の効果】以上、説明したように本発明によれば、サイドウォールを半導体の窒化物で形成したことにより、シリサイド化反応において、サイドウォール上のTi膜とサイドウォールとが反応しない。このため、サイドウォールの表面にはTiシリサイド等の導電性物質が形成されないで、サイドウォールを介して発生するゲートとソース・ドレイン領域間のリーク電流が小さくなる。またサイドウォールとゲートの側壁との間およびサイドウォールとソースドレイン領域との間にストレス緩和層を設けたので、半導体の窒化物より発生するストレスの影響をストレス緩和層で緩和して、半導体基板の損傷を防ぐ。

【図面の簡単な説明】

【図1】第1の実施例の概略構成断面図である。

【図2】第1の実施例の製造工程図である。

【図3】図2に示した続きの製造工程図である。

【図4】第2の実施例の概略構成断面図である。

【図5】第2の実施例の製造工程図である。

【図6】従来例の製造工程図である。

【図7】課題の説明図である。

【符号の説明】

10 MOSTランジスタ

11 半導体基板

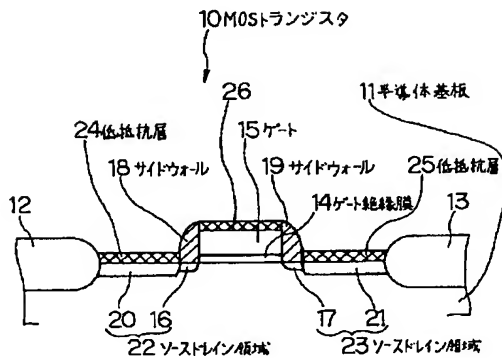
14 ゲート絶縁膜

- 15 ゲート  
18 サイドウォール  
19 サイドウォール  
22 ソース・ドレイン領域  
23 ソース・ドレイン領域

- \* 24 低抵抗層  
25 低抵抗層  
41 ストレス緩和層  
42 ストレス緩和層

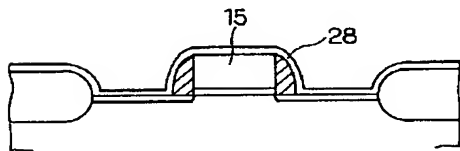
\*

【図1】

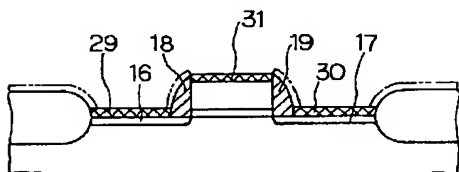


第1の実施例の概略構成断面図

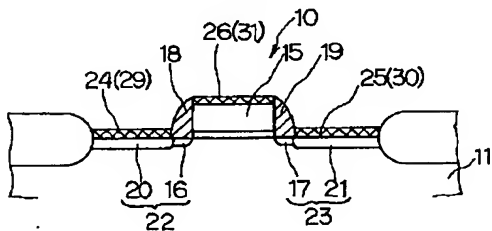
【図3】



(4)



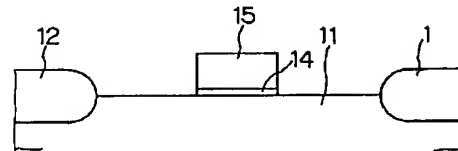
(5)



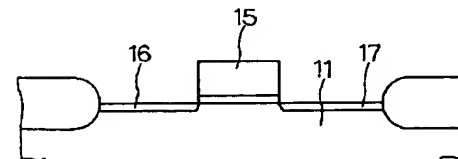
(6)

図2に示した続きの製造工程図

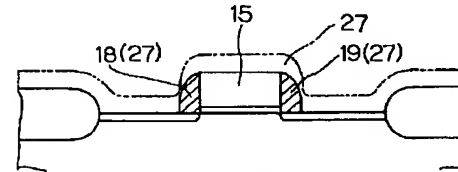
【図2】



(1)



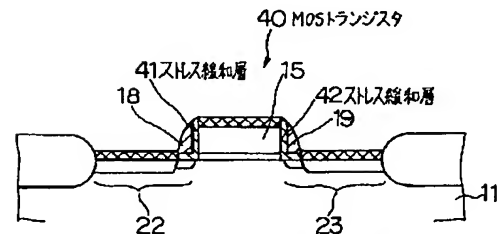
(2)



(3)

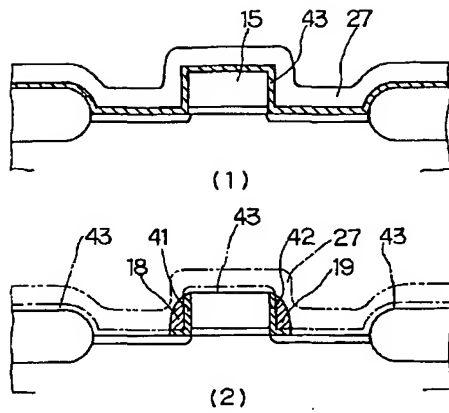
第1の実施例の製造工程図

【図4】



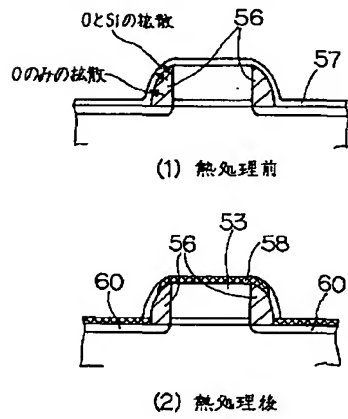
第2の実施例の概略構成断面図

【図5】



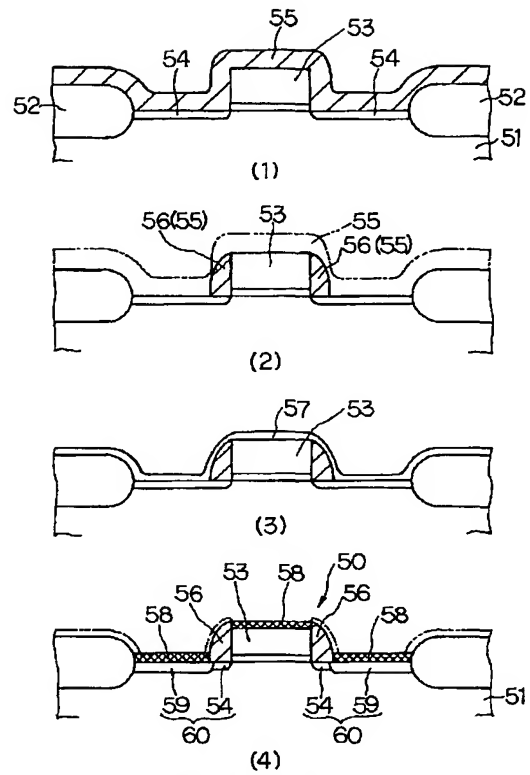
第2の実施例の製造工程図

【図7】



課題の説明図

【図6】



従来例の製造工程図

Docket No.: 60188-612

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of :  
Masahiro IMADE, et al. :  
Serial No.: : Group Art Unit:  
Filed: June 24, 2003 : Examiner:  
For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

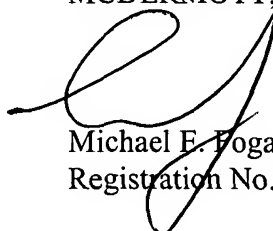
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2002-288528, filed October 1, 2002**

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael F. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:prg  
Facsimile: (202) 756-8087  
**Date: June 24, 2003**